

**SCHALTUNGSANORDNUNG ZUR FEHLERSICHERUNG BEI EINER
UEBERTRAGUNG VON DATEN**

Patent number: DE2532915
Publication date: 1977-02-10
Inventor: CIEMALA WOLFGANG DIPL ING; FEISSEL
WOLFGANG DIPL PHYS
Applicant: SIEMENS AG
Classification:
- **international:** H03K13/34
- **european:** G06F11/10M2D1C
Application number: DE19752532915 19750723
Priority number(s): DE19752532915 19750723

Abstract not available for DE2532915

Data supplied from the **esp@cenet** database - Worldwide

(5)

INT. CL. 4

11.03.1977

(19) BUNDESREPUBLIK DEUTSCHLAND

DEUTSCHES



PATENTAMT

Behördeneigenthum

DT 25 32 915 A

(11)

Offenlegungsschrift 25 32 915

(21)

Aktenzeichen: P 25 32 915.1

(22)

Anmeldetag: 23. 7. 75

(43)

Offenlegungstag: 10. 2. 77

(30)

Unionspriorität:

(32) (33) (31) —

(54)

Bezeichnung: Schaltungsanordnung zur Fehlersicherung bei einer Übertragung von Daten

(71)

Anmelder: Siemens AG, 1000 Berlin und 8000 München

(72)

Erfinder: Feißel, Wolfgang, Dipl.-Phys.; Ciemala, Wolfgang, Dipl.-Ing.;
8000 München

DT 25 32 915 A 1

Schaltungsanordnung zur Fehlersicherung bei einer Übertragung
von Daten.

Die Erfindung bezieht sich auf eine Schaltungsanordnung zur Fehlersicherung bei einer Übertragung von Daten, bei der durch Paritätszeichen gesicherte Datenzeichen von einem Datensender abgegeben werden, bei der mittels einer Codiereinrichtung aus den Datenzeichen Codezeichen erzeugt werden und bei der die Datenzeichen durch diese Codezeichen gesichert zu einem Datenempfänger abgegeben werden.

Um eine möglichst große Verfügbarkeit von Arbeitsspeichern in Datenverarbeitungsanlagen zu erzielen, ist es mit der Einführung von Halbleiterspeichern üblich geworden, die in den Arbeitsspeichern gespeicherten Datenzeichen mittels Codezeichen abzusichern, die das Korrigieren von Einzelfehlern ermöglichen. Datenzeichen werden von dem als Datensender zu betrachtenden Zentralprozessor der Datenverarbeitungsanlage durch Paritätszeichen gesichert abgegeben. Anschließend werden mittels der Datenzeichen Codezeichen erzeugt und diese werden zusammen mit den Datenzeichen an den als Datenempfänger zu betrachtenden Arbeitsspeicher abgegeben.

Aus der DT-OS 23 44 019 ist beispielsweise eine Schaltungsanordnung bekannt, die durch Paritätszeichen gesicherte Daten in durch Codezeichen gesicherte Daten umsetzt. Auf dem Weg vom Zentralprozessor der Datenverarbeitungsanlage zum eigentlichen Speichermedium des Arbeitsspeichers werden diese Datenzeichen abgegriffen und einer Codiereinrichtung zugeführt, die die Codezeichen erzeugt und diese werden zusammen mit den Datenzeichen in dem Arbeitsspeicher gespeichert. An der Abgriffstelle wird die Parität der Daten letztmalig überprüft. Beim Lesen der gespeicherten Datenzeichen aus dem Arbeitsspeicher können mit Hilfe der Codezeichen jeweils einzelne fehlerhafte Datenzeichen korrigiert werden.

Falls jedoch die Datenzeichen, beispielsweise wegen einer Leitungsunterbrechung zwischen der Abgriffstelle und der Codiereinrichtung, fehlerhaft zur Codiereinrichtung gelangen, wird dieser Fehler durch die Paritätsprüfung nicht erkannt. In diesem Fall könnte die Leitungsunterbrechung zur Erzeugung von Codezeichen führen, die eine auf dem weiteren Datenweg liegende Korrekturschaltung, beispielsweise eine Korrekturschaltung für die aus dem Arbeitsspeicher gelesenen Daten, dazu zwingen, in die Datenzeichen einen echten Fehler hineinzukorrigieren, der fälschlicherweise als korrigierter Einzelfehler registriert würde.

Der Erfindung liegt daher die Aufgabe zugrunde, eine Schaltungsanordnung anzugeben, mit deren Hilfe es ermöglicht wird, Fehler zu erkennen, die durch fehlerhaftes Zuführen der Datenzeichen zur Codiereinrichtung oder durch Fehler in der Codiereinrichtung entstehen. Erfindungsgemäß wird die Aufgabe bei der Schaltungsanordnung der eingangs genannten Art dadurch gelöst, daß die Codiereinrichtung einen Codierer, dem die Datenzeichen zugeführt werden und der die Codezeichen unter Berücksichtigung der Parität der Datenzeichen erzeugt und weiter einen Paritätsprüfer enthält, dem die Codezeichen und die Paritätszeichen der Datenzeichen zugeführt werden, der die Parität der Codezeichen mit der Parität der Paritätszeichen vergleicht und der an seinem Ausgang im Fehlerfall mindestens ein Fehlersignal abgibt.

Die Schaltungsanordnung gemäß der Erfindung hat den Vorteil, daß die Fehlersicherheit bei der Übertragung der Daten durch einen geringen Mehraufwand wesentlich erhöht wird. Außerdem kann auf die übliche Paritätsprüfung am Eingang der Codiereinrichtung, an den die Datenzeichen paritätsgesichert abgegeben werden, verzichtet werden.

Eine besonders einfache Ausgestaltung des Paritätsprüfers wird erreicht, wenn die Codiereinrichtung jedes Datenbit ungeradzahlig oft bei der Codezeichenerzeugung verknüpft und wenn als Paritätsprüfer eine Schaltstufe vorgesehen ist, die durch eine Modulo-2-Addition aus den Codezeichen und der invertierten Paritätsbits der Paritätszeichen das Fehlersignal erzeugt.

Die Schaltungsanordnung bietet weitergehende Möglichkeiten zur Fehlerdiagnose, wenn der Paritätsprüfer aus weiteren Schaltstufen besteht, denen außer den Paritätszeichen und Codezeichen diejenigen Datenbits der Datenzeichen zugeführt werden, die bei der Erzeugung der entsprechenden Codebits nicht verwendet wurden und die jeweils Paritätsfehlersignale durch eine Modulo-2-Addition der entsprechenden Datenbits, der jeweiligen Codebits und der Paritätsbits, jeweils auf das Codebit bezogen, erzeugt und wenn er ein ODER-Glied enthält, dem die Paritätsfehlersignale zugeführt werden und das das Fehlersignal abgibt.

Um beim Auftreten des Fehlersignals eine Verarbeitung der fehlerhaften Daten als Daten zu verhindern, werden die Datenzeichen und Codezeichen auf einfache Weise markiert, wenn dem Datenempfänger ein weiterer Codierer vorgeschaltet ist, dem die Datenzeichen, die Codezeichen und das Fehlersignal zugeführt werden, an dessen Ausgang die Datenzeichen und Codezeichen an den Datenempfänger abgegeben werden und der beim Auftreten eines Fehlersignals vereinbarte, den betreffenden Fehler charakterisierende Codezeichen oder vereinbarte Codezeichen mit Datenzeichen abgibt.

Diese Markierung kann dabei so gewählt werden, daß in ihr nicht nur die Fehlerhaftigkeit der Daten, sondern auch die Art bzw. der Ort des erkannten Fehlers festgehalten wird. Vorteilhafterweise bietet dieser Codierer auch darüberhinaus die Möglichkeit, Fehler, die die betrachteten Daten betreffen, aber an anderer Stelle als in der Schaltungsanordnung erkannt wurden, durch entsprechende Markierung erkennbar zu machen.

Eine weitere Möglichkeit zum Verhindern der Verarbeitung fehlerhafter Datenzeichen im Datenempfänger wird dadurch erreicht, daß das Fehlersignal einer Fehlerauswerteeinrichtung zugeführt wird, die ein die Weitergabe der Datenzeichen an den Datenempfänger verhinderndes Signal erzeugt und daß das Fehlersignal dem Datensender zum Auslösen einer Fehlermeldung zugeführt wird.

Die Schaltungsanordnung wird insbesondere dann in vorteilhafter Weise eingesetzt, wenn als Datensender ein Zentralprozessor und
VPA 9/210/4031

als Datenempfänger ein Arbeitsspeicher einer Datenverarbeitungsanlage vorgesehen sind.

Im folgenden wird ein Ausführungsbeispiel der Schaltungsanordnung anhand von Zeichnungen erläutert.

Es zeigen:

Fig. 1 ein Blockschaltbild einer bekannten Schaltungsanordnung zur Fehlererkennung und Fehlerortbestimmung,

Fig. 2 ein Blockschaltbild einer Schaltungsanordnung zur Fehlersicherung,

Fig. 3 ein Schema zur Erzeugung von Codezeichen,

Fig. 4 ein Schaltbild einer einfachen Anordnung zur Fehlersicherung,

Fig. 5 ein Schaltbild eines Codebit bezogenen Paritätsprüfers.

Bei der in Fig. 1 dargestellten bekannten Schaltungsanordnung zur Fehlererkennung und Fehlerortsbestimmung innerhalb von Datenzeichen werden beispielsweise von einem Zentralprozessor einer Datenverarbeitungsanlage abgegebene $n=64$ Datenzeichen DA1 gleichzeitig einem Arbeitsspeicher SP der Datenverarbeitungsanlage, einem Paritätsprüfer PC und einer Codiereinrichtung CE1 zugeführt. Dem Paritätsprüfer PC werden außerdem $m=8$ Paritätszeichen PA1 zugeführt. Der Paritätsprüfer PC prüft letztmalig vor dem Einspeichern der Datenzeichen in den Arbeitsspeicher deren Parität. Falls ein Paritätsfehler erkannt wird, gibt der Paritätsprüfer ein Fehlersignal F1 ab, das beispielsweise als Fehlermeldung dem Zentralprozessor zugeführt wird.

Die Codiereinrichtung CE1 bildet aus den 64 Datenzeichen DA1 acht Codezeichen K1 und führt diese gleichzeitig mit den Datenzeichen DA1 dem Arbeitsspeicher SP zu. Der Arbeitsspeicher SP speichert die 64 Datenzeichen DA1 und die acht Codezeichen K1 und ist zu diesem Zweck für eine Wortbreite von 72 Bit ausgelegt.

Beim Lesen des Inhalts des Arbeitsspeichers werden die gelesenen Datenzeichen DA2 einerseits einer mit einem Paritätsgenerator versehenen Codiereinrichtung CE2 zugeführt, die weitere Codezeichen K3 und acht Paritätszeichen PA2 erzeugt und andererseits einer Korrektureinrichtung KE zum Korrigieren von Einzelfehlern zugeführt.

VPA 9/210/4031

609886/0505

Die aus dem Arbeitsspeicher SP gleichzeitig mit dem Datenzeichen DA2 gelesenen Codezeichen K2 werden einem Vergleicher VG zugeführt, der diese Codezeichen K2 mit den Codezeichen K3 vergleicht und an die Korrekturereinrichtung KE acht Syndrombits SY abgibt, die beim Auftreten eines Einzelfehlers den Fehlerort angeben und mit denen die Einzelfehler korrigiert werden.

Am Ausgang der Korrekturereinrichtung KE werden Datenzeichen DA3, die gegebenenfalls korrigiert wurden, und zugehörige Paritätszeichen PA3 zur weiteren Verarbeitung an den Zentralprozessor abgegeben.

Bei der in Fig. 2 dargestellten Anordnung sind dem Arbeitsspeicher SP ein Codierer CP für die Codierung eines Paritätsfehlers oder eines anderen, die einzuschreibenden Daten betreffenden Fehlers, sowie eine mit diesem verbundene Codiereinrichtung CE3 vorgeschaltet. Mit Hilfe dieser Anordnung ist es möglich auch solche Einzelfehler zu erkennen, die dann entstehen, wenn die Datenzeichen DA1 der Codiereinrichtung CE1 in Fig. 1 fehlerhaft zugeführt werden oder die Codiereinrichtung einen Fehler enthält. Bei dieser Anordnung wird bei dem Übergang von der Sicherung durch Paritätszeichen in die Sicherung mit Codezeichen an der Übergangsstelle die Paritätssicherung beibehalten und bei der Erzeugung der Codezeichen miteinbezogen. Die Codezeichen werden somit paritätsgesichert erzeugt. Weiterhin werden vor dem Einspeichern der Daten in den Arbeitsspeicher SP die Codezeichen auf richtige Parität überprüft. Falls sich dabei ein Paritätsfehler ergibt, wird am Ausgang der Codiereinrichtung CE3 ein Fehlersignal F2 abgegeben. Mit diesem Fehlersignal kann einerseits mit Hilfe einer Fehlerauswerteeinrichtung FA eine Schreiboperation in den Arbeitsspeicher SP verhindert werden und eine Fehlermeldung abgegeben werden. Andererseits kann eine Schreiboperation ausgeführt werden, aber mit einer Codierung der Datenzeichen und Codezeichen, die beim Lesen des Eintrags die Fehlersituation vor der Schreiboperation erkennen läßt.

Die Erzeugung einer derartigen Codierung wird im folgenden anhand von allgemeinen Überlegungen zur Auswahl eines fehlerkorrigierenden Codes dargestellt.

Aus Aufwandsgründen verlangt man von einem fehlerkorrigierenden Code nicht mehr, als daß Einzelfehler korrigiert und Doppelfehler mit Sicherheit erkannt werden. Ferner soll die Redundanz nicht größer als bei byteweiser Paritätssicherung sein. Hierdurch wird im übrigen eine Voraussetzung geschaffen, ältere, byteweise organisierte Arbeitsspeicher weiter verwenden zu können. Wird eine n -stellige Dualzahl, mit noch unbekannten m -Korrekturcodestellen zu einer $n+m$ stelligen codierten Dualzahl zusammengefaßt, so muß der Abstand D zwischen zwei Zahlen des Codes, wenn Einzelfehler korrigiert werden sollen, $D=3$ sein. Dies bedeutet aber, daß alle $n+m$ in der Umgebung einer $n+m$ stelligen Dualzahl des Codes im Abstand $D=1$ befindlichen Zahlen, die nicht dem Code angehören, der betrachteten, codierten Dualzahl zugeordnet werden müssen, sonst würde sich ein Einzelfehler nicht korrigieren lassen. Von den 2^{n+m} möglichen Kombinationen einer $n+m$ stelligen Dualzahl sind aber nur noch $2^{n+m}/(n+m+1) = 2^n \cdot 2^m/(n+m+1)$ frei wählbar. Wünscht man sich 2^n wählbar, von denen man ursprünglich ausgegangen ist, so muß der Faktor $2^m/(n+m+1) = 1$ sein, was zur Bestimmung von m bei vorgegebener Stellenzahl n benutzt werden kann.

Soll mit gleicher Redundanz $m/n=1/8$ wie bei der byteweisen Paritätssicherung gearbeitet werden, so ergibt sich nach Substitution von $n=8 \cdot m$ in die Ungleichung als Lösung von Wert $m = 6$. Mit $m = 6$

lassen sich bereits $n=57$ Datenbits, gegenüber Einzelfehlern korrigierend sichern. Da 7 keine Zweierpotenz ist, geht man, um die Speicherorganisation zu vereinfachen, zu Worten von 8 Bytes über. Als Folge dieser Wahl stehen dann $m=8$ Codebits zur Verfügung, die nicht nur jeder codierten Zahl eine Umgebung im Abstand $D=1$ zuzuordnen gestattet, das sind $n+m=72$ Zahlen, sondern $2^8-1=255$. Von dieser Redundanz wird schon teilweise Gebrauch gemacht, um Doppelfehler als solche in Fehlermeldungen auszuweisen. Um Doppelfehler als solche erkennbar zu machen, muß jeder Zahl im Abstand $D=1$ einer Codezahl eine weitere, weder der Klasse der Codezahlen noch der ihrer Umgebung im Abstand $D=1$ angehörenden Zahl zugeordnet werden, wodurch die Gesamtumgebung einer Codezahl dann auf $2 \cdot (n+m)-1=143$ ansteigt, die immer noch unter dem möglichen Wert von 255 liegt.

Nach diesen Feststellungen setzt nun die Überlegung ein, weitere, bisher noch nicht belegte Zahlen in der Umgebung einer Codezahl zu annectieren, die bei der Codeerzeugung dann gezielt besetzt werden, wenn eine mit Paritätsfehlern behaftete oder von anderen Fehlern betroffene, n stellige Datenbitkombination verschlüsselt werden soll. Zu diesem Zweck wird in der Schaltungsanordnung die Parität konsequent miteinbezogen und bei Erkennung eines Paritätsfehlers innerhalb der Codiereinrichtung CE3 mit dem Codierer CP ein Code erzeugt, der den beobachteten Fehler charakterisiert. Dieser Code kann auch durch ein weiteres Fehlersignal F3 erzeugt werden, das beim Erkennen eines anderen datenbezogenen Fehlers abgegeben wird und dem Codierer CP zugeführt wird.

Bei einem späteren Durchlaufen einer Korrektureinrichtung kann dann der betreffende Fehler festgestellt und gemeldet werden. Die Korrektureinrichtung hat dann nicht mehr nur wie bisher die Aufgabe zu erkennen, ob kein Fehler, ein Einzelfehler, ein Doppelfehler vorliegt, sondern auch noch ob ein Paritätsfehler oder ein anderer datenbezogener Fehler vorliegt. Falls ein Paritätsfehler vorliegt, können entweder die aus dem Arbeitsspeicher SP gelesenen Datenzeichen DA2 im Fehlerfall an der richtigen Stelle mit falscher Parität versehen werden, dann spart man sich die Eingangsprüfung der Parität, oder man überträgt die Datenzeichen, weil fehlerhaft und daher wertlos, überhaupt nicht zum Zentralprozessor, sondern sendet statt dessen eine Fehlermeldung. Es lassen sich auch beide Möglichkeiten kombinieren.

Die Datenzeichen DA1 werden bei der Schaltungsanordnung dem Codierer CP und der Codiereinrichtung CE3 zugeführt. Die Codiereinrichtung CE3 besteht aus einem Codierer CD und einem Paritätsprüfer PP, denen die Datenzeichen DA1 zugeführt werden. Am Ausgang des Codierers CD werden Codezeichen K10 abgegeben, bei deren Erzeugung die Parität der Datenzeichen DA1 berücksichtigt wurde. Diese Codezeichen K10 werden dem Paritätsprüfer PP und dem Codierer CP zugeführt. Dem Paritätsprüfer PP werden außerdem die Paritätszeichen PA1 zugeführt. Falls der Paritätsprüfer PP einen Paritätsfehler ermittelt, wird das Fehlersignal F2 erzeugt, das die Fehlermeldung veranlaßt und/oder die am Ausgang des Codierers CP abgegebenen

VPA 9/210/4031

Datenzeichen DA11 und Codezeichen K11, die zum Arbeitsspeicher SP abgegeben werden, derart verändert, daß der Paritätsfehler am Empfangsort erkannt wird. Falls ein anderweitig erkannter, datenbezogener Fehler vorliegt, wird durch das Fehlersignal F3 der Codierer CP veranlaßt, die an seinem Ausgang abgegebenen Codezeichen K11 und gegebenenfalls auch die Datenzeichen DA1 so zu verändern, daß dieser Fehler am Empfangsort erkannt wird.

Die Fig. 3 zeigt drei Schemata zum Erzeugen von Codebits C_0 bis C_7 aus den Datenzeichen DA1. Die Datenzeichen sind in acht Datenbytes 0 bis 7 mit je acht Datenbits 0 bis 7 eingeteilt. Die senkrechten Striche im jeweiligen Schema zeigen an, welche Datenbits jeweils für die Erzeugung der Codebits C_0 bis C_7 verwendet werden. Die Codebits werden dabei durch eine Modulo-2-Addition der jeweiligen Datenbits erzeugt.

Das Schema A zeigt die Erzeugung der Korrekturbits bei einem Abstand $D=4$. Dieser Abstand ist notwendig, um Einzelfehler korrigieren und Doppelfehler erkennen zu können. Den Abstand $D=4$ erhält man, indem man drei Stellen des achtstelligen Codes mit je einer 1 belegt. Da sich nach den Regeln der Kombinatorik damit jedoch nur $\binom{8}{3} = 56$ verschiedene Kombinationen bilden lassen, müssen die letzten acht Datenbits mehr als drei Codebits, z.B. 4 wie in Fig. 3, Zeile A, Byte 7 gezeigt zugeordnet werden. Aus praktischen Gründen, die die Realisierung betreffen, ist es aber störend, daß die ersten 56 Kombinationen aus einer ungeraden Anzahl und die letzten acht Kombinationen aus einer geraden Anzahl von Datenbits bestehen. Man geht daher auch bei den letzten acht Datenbits zu einer ungeraden Anzahl von belegten Codebits über. Ein derartiger Code ist im Schema B dargestellt.

Aber auch die Codierung nach Schema B in Fig. 3 ist für die technische Ausführung gesehen noch verbesserungsfähig, weil durch einfaches Umordnen der Code von Schema B in einen byteweise zyklischen Code übergeführt werden kann, wie das im Schema C geschehen ist. Mit der Codebelegung von Schema C werden im folgenden zwei Ausführungsbeispiele der Schaltungsanordnung zur Fehlersicherung erläutert.

Die in Fig. 4 dargestellte Schaltungsanordnung enthält die aus dem Codierer CD und dem Paritätsprüfer PP1 bestehende Codiereinrichtung CE3 und den Codierer CP. Der Paritätsprüfer PP1 ist eine erste Ausführungsform des Paritätsprüfers PP. Die Codebits C0 bis C7 werden in Schaltstufen S0 bis S7 des Codierers CD durch eine Modulo-2-Addition der Datenbits 00 bis 77 entsprechend dem Schema C in Fig. 3 erzeugt. Die Schaltstufen S0 bis S7 bestehen entweder aus Kaskaden von Antivalenzgliedern oder aus entsprechend hoch integrierten Paritätsprüfern. Der Schaltstufe S0 beispielsweise werden entsprechend der ersten Zeile im Schema C der Fig. 3 jeweils einzelne Datenbits 00 bis 75 zugeführt. Die erste Ziffer gibt dabei jeweils die Nummer des Datenbytes und die zweite Ziffer gibt die Nummer des Datenbits innerhalb des Datenbytes an. An ihrem Ausgang gibt sie das Codebit C0 ab. Die aus den Codebits C0 bis C7 bestehenden Codezeichen K10 werden einerseits dem Paritätsprüfer PP1 zugeführt, der sie mit den Paritätsbits P0 bis P7 der Paritätszeichen PA1 vergleicht und andererseits dem Codierer CP zugeführt. Der Paritätsprüfer PP1 erzeugt beim Auftreten eines Paritätsfehlers in den Codebits C0 bis C7 ein Fehlersignal F2, das dem Codierer CP zugeführt wird. Da bei dem in Fig. 3, dargestellten Schema C jedes Datenbit ungeradzahlig oft zur Erzeugung der Korrekturbits C0 bis C7 herangezogen wird, kann ein Paritätsfehler bei den Korrekturbits C0 bis C7 wegen der Gültigkeit der Gleichung $C_0 \oplus C_1 \oplus C_2 \oplus \dots \oplus C_7 \oplus P_0 \oplus P_1 \oplus \dots \oplus P_7$ auf einfache Weise ermittelt werden. Die Paritätsbits P0 bis P7 sind dabei die Paritätsbits der Datenbytes 0 bis 7. Der Paritätsprüfer PP1 besteht aus einer Schaltstufe S8, die diese Verknüpfung durch eine Modulo-2-Addition durchführt. Falls ein Einzelfehler auftritt, ist die Gleichung nicht erfüllt und das Fehlersignal F2 wird abgegeben, wobei es beispielsweise den Binärwert 1 annimmt. Dieses Fehlersignal F2 kann im Codierer CP über ein nicht dargestelltes ODER-Glied mit dem Fehlersignal F3, das den Binärwert 1 annimmt, falls anderweitig ein datenbezogener Fehler vorliegt, zu einem Summenfehlersignal verknüpft werden. Der Codierer CP enthält sieben ODER-Glieder D0 bis D6 und 65 mit jeweils einem invertierenden Eingang versehene UND-Glieder U0 bis U64. Jeweils einem Eingang der ODER-Glieder D0 bis D6 wird das Fehlersignal F2 zugeführt, während dem jeweils zweiten Eingang die Codebits C0 bis C6 zugeführt werden. Den invertierenden Eingängen

gen der UND-Glieder U_0 bis U_{64} wird ebenfalls das Fehlersignal F_2 zugeführt, während an den nichtinvertierenden Eingängen das Codebit C_7 und die Datenbits 00 bis 77 anliegen. Beim Auftreten des Fehlersignals F_2 nehmen damit die Codebits C_0 bis C_6 an den Ausgängen der ODER-Glieder D_0 bis D_6 den Binärwert 1 an, während das Codebit C_7 und die Datenbits 00 bis 77 den Binärwert 0 annehmen. Andernfalls stimmen die Codebits und die Datenbits mit den Codebits und Datenbits an den Eingängen der ODER-Glieder bzw. der UND-Glieder überein. Die Datenbits und die Codebits werden als Datenzeichen DA_{11} bzw. K_{11} dem Arbeitsspeicher SP zugeführt und in diesem gespeichert.

Die Fig. 5 zeigt eine etwas aufwendigere Ausführungsform des Paritätsprüfers PP . Dieser Paritätsprüfer PP_2 bietet jedoch mehr Ansätze für eine Fehlerdiagnose. Der Paritätsprüfer PP_2 enthält acht Schaltstufen S_9 bis S_{16} , die ebenso wie die Schaltstufen S_0 bis S_7 jeweils eine Modulo-2-Addition der Signale an ihren Eingängen durchführen. In den Schaltstufen S_9 bis S_{16} werden auf einem komplementären Weg unter Verwendung derjenigen Datenbits, die jeweils für die Erzeugung der Codebits C_0 bis C_7 nicht verwendet werden und unter Verwendung der Paritätsbits P_0 bis P_7 und der Codebits C_0 bis C_7 Paritätsfehlersignale FS_0 bis FS_7 erzeugt. Diese Signale werden einerseits einem nicht näher ausgeführten Codierer CP und andererseits einem ODER-Glied D_7 zugeführt, das an seinem Ausgang ebenfalls ein Fehlersignal F_2 erzeugt.

Bei einem Paritätsfehler, der z.B. durch eine Leitungsunterbrechung entstanden sein kann, erzeugt mindestens eine der Schaltstufen S_0 bis S_7 ein Paritätsfehlersignal, das beispielsweise in der Fehlercodiereinrichtung CP dazu benutzt werden kann, einen besonderen Code zu erzeugen, der angibt, welches Codebit C_0 bis C_7 von dem Fehler betroffen ist.

Daß die Datenzeichen DA_1 durch Paritätszeichen PA_1 entweder mit gerader oder mit ungerader Parität gesichert sein können, wird bei den Schaltstufen S_9 bis S_{16} über einen Steuereingang PU berücksichtigt.

An diesem Steuereingang ist statisch ein Signal vom Binärwert 1 anzulegen, wenn ungerade Parität verwendet wird.

6 Patentansprüche

5 Figuren

P a t e n t a n s p r ü c h e

1. Schaltungsanordnung zur Fehlersicherung bei einer Übertragung von Daten, bei der durch Paritätszeichen gesicherte Datenzeichen von einem Datensender abgegeben werden, bei der mittels einer Codiereinrichtung aus den Datenzeichen Codezeichen erzeugt werden und bei der die Datenzeichen durch diese Codezeichen gesichert zu einem Datenempfänger abgegeben werden, d a d u r c h g e - k e n n z e i c h n e t, daß die Codiereinrichtung (CE3) einen Codierer (CD), dem die Datenzeichen (DA1) zugeführt werden und der die Codezeichen (K10) unter Berücksichtigung der Parität der Datenzeichen (DA1) erzeugt und weiter einen Paritätsprüfer (PP) enthält, dem die Codezeichen (K10) und die Paritätszeichen (PA1) der Datenzeichen (DA1) zugeführt werden, der die Parität der Codezeichen (K10) mit der Parität der Datenzeichen (DA1) vergleicht und der an seinem Ausgang im Fehlerfall mindestens ein Fehlersignal (F2) abgibt.

2. Schaltungsanordnung nach Anspruch 1, d a d u r c h g e - k e n n z e i c h n e t, daß die Codiereinrichtung (CE3) jedes Datenbit (\emptyset bis 77) ungeradzahlig oft bei der Codezeichenerzeugung verknüpft und daß als Paritätsprüfer (PP1) eine Schaltstufe (S8) vorgesehen ist, die durch eine Modulo-2-Addition aus den Codezeichen (K10) und den Paritätsbits (P \emptyset bis P7) das Fehlersignal (F2) erzeugt.

3. Schaltungsanordnung nach Anspruch 1, d a d u r c h g e - k e n n z e i c h n e t, daß der Paritätsprüfer (PP2) aus weiteren Schaltstufen (S9 bis S16) besteht, denen außer den Paritätszeichen (PA1) und Codezeichen (K10) diejenigen Datenbits (\emptyset , \emptyset bis 7,7) der Datenzeichen (DA1) zugeführt werden, die bei der Erzeugung der entsprechenden Codebits (C \emptyset bis C7) nicht verwendet wurden und die jeweils Paritätsfehlersignale (FS \emptyset bis FS7) durch eine Modulo-2-Addition der entsprechenden Datenbits (\emptyset , \emptyset bis 7,7), der jeweiligen Codebits (C \emptyset bis C7) und der Paritätsbits (P \emptyset bis P7) jeweils auf das Codebit (C \emptyset bis C7) bezogen, erzeugt und daß er ein ODER-Glied (D7) enthält, dem die Paritätsfehlersignale (FS \emptyset bis FS7) zugeführt werden und das das Fehlersignal (F2) abgibt.

4. Schaltungsanordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß dem Datenempfänger (SP) ein weiterer Codierer (CP) vorgeschaltet ist, dem die Datenzeichen (DA1), die Codezeichen (K10) und das Fehlersignal (F2) zugeführt werden, an dessen Ausgang die Datenzeichen (DA11) und Codezeichen (K11) an den Datenempfänger (SP) abgegeben werden und der beim Auftreten eines Fehlersignals (F2) vereinbarte, den betreffenden Fehler charakterisierende Codezeichen (K11) oder vereinbarte Codezeichen (K11) mit Datenzeichen abgibt.

5. Schaltungsanordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß das Fehlersignal (F2) einer Fehlerauswerteeinrichtung zugeführt wird, die ein die Weitergabe der Datenzeichen (DA1) an den Datenempfänger (SP) verhinderndes Signal erzeugt und daß das Fehlersignal (F2) dem Datensender zum Auslösen einer Fehlermeldung zugeführt wird.

6. Schaltungsanordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß als Datensender ein Zentralprozessor und als Datenempfänger ein Arbeitsspeicher (SP) einer Datenverarbeitungsanlage vorgesehen sind.

17-

2532915

Fig. 1

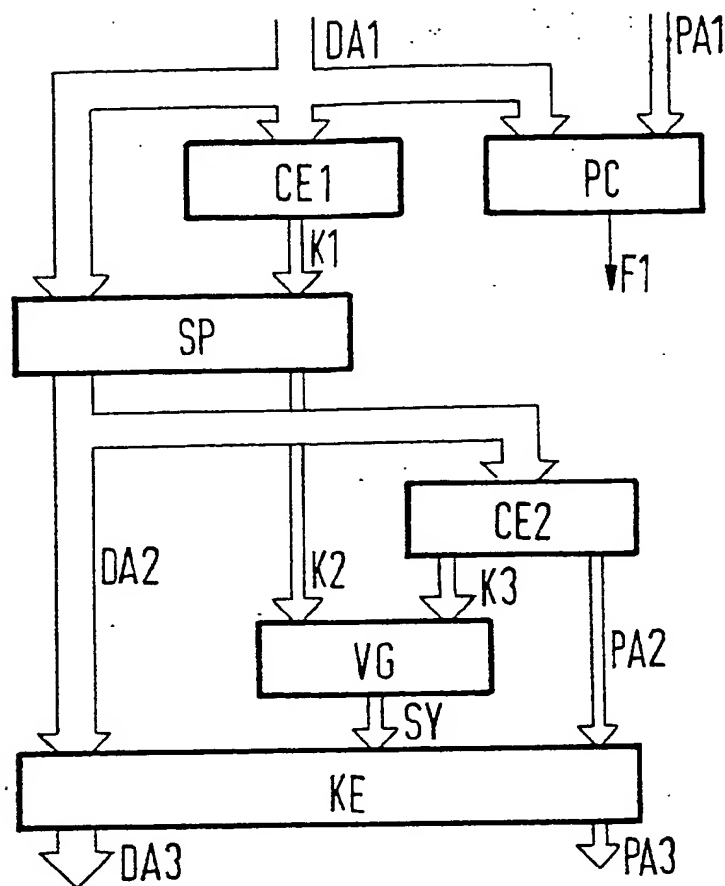
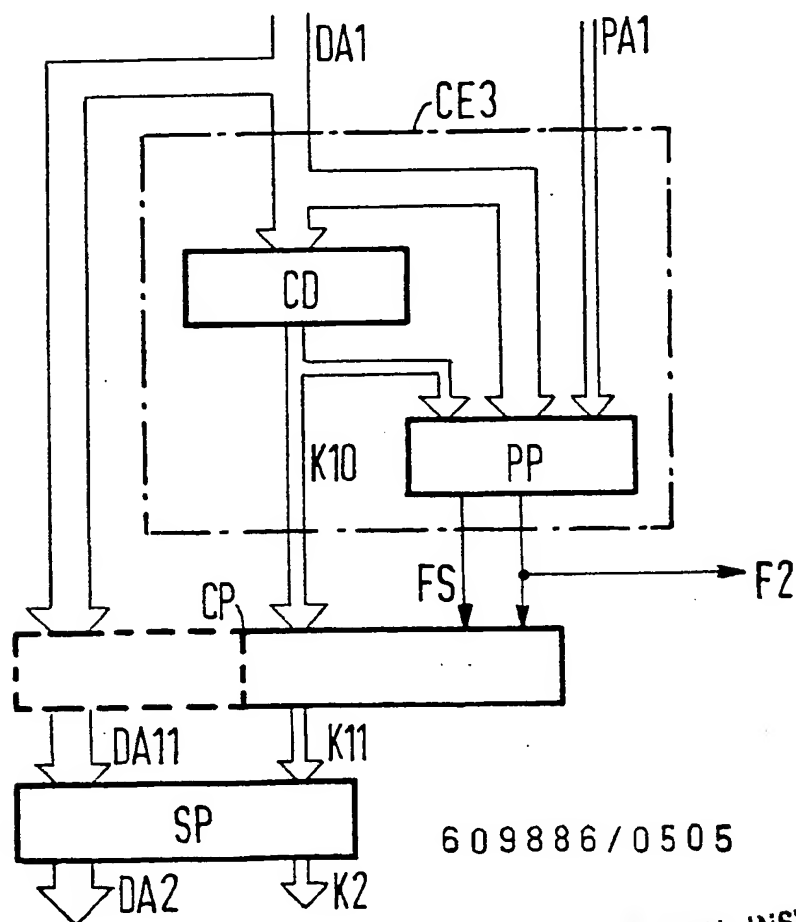


Fig. 2



609886/0505

ORIGINAL INSPECTED

Fig. 3

Byte	0	1	2	3	4	5	6	7
Bit	01234567	01234567	01234567	01234567	01234567	01234567	01234567	01234567
C0								
C1								
C2								
C3								
C4								
C5								
C6								
C7								
C0								
C1								
C2								
C3								
C4								
C5								
C6								
C7								
C0								
C1								
C2								
C3								
C4								
C5								
C6								
C7								

A B C

Fig. 4

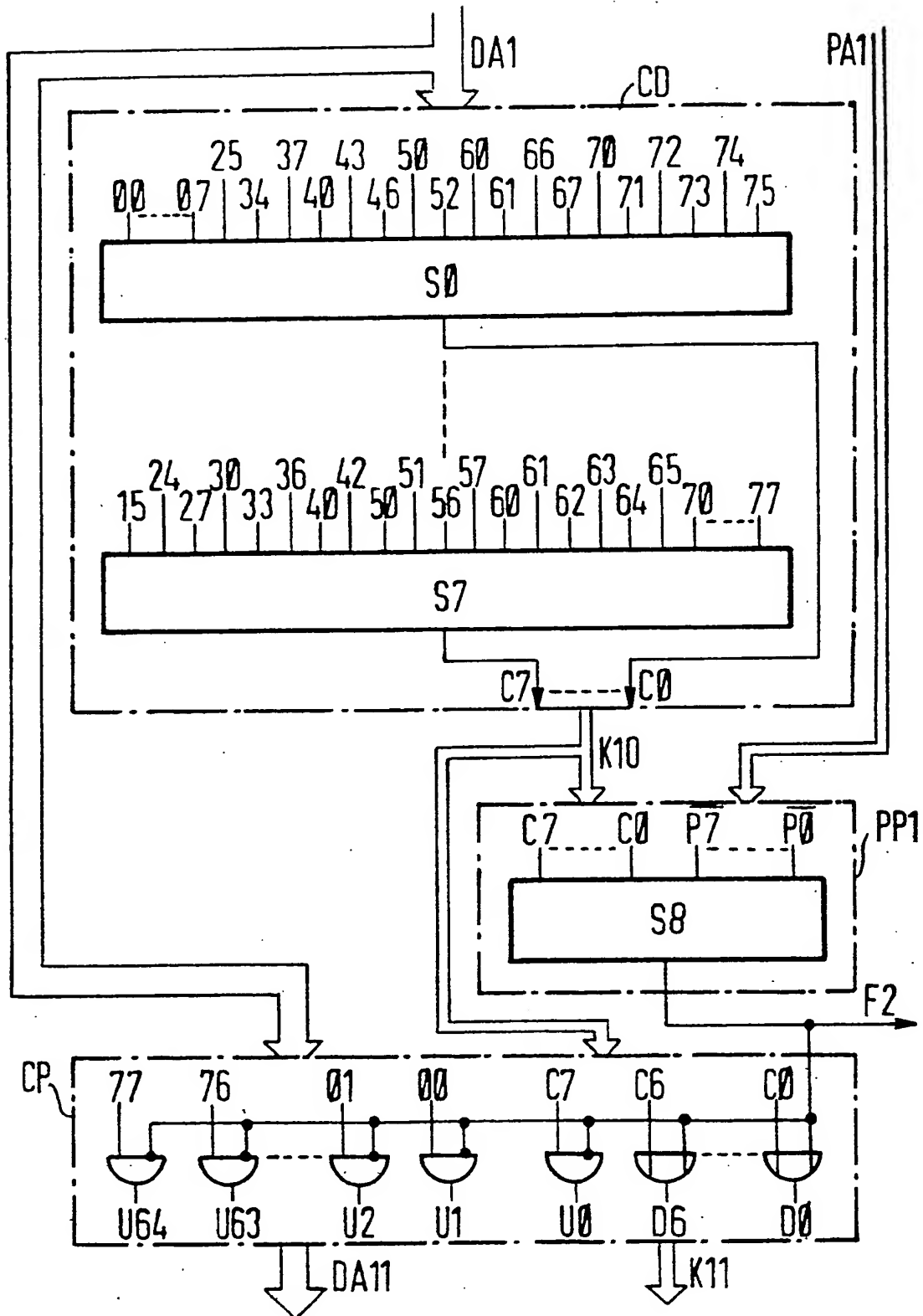


Fig. 5

